

Nombre de la materia: **ELECTRÓNICA DIGITAL I**
Clave: **CI0300-T**
No. De horas /semana : **4**
Duración semanas: **16**
Total de Horas : **64**
No. De créditos : **8**
Prerrequisitos : **CI0100-T**

Objetivo:

En esta materia el alumno aprenderá los conceptos y herramientas básicas para el análisis y diseño de circuitos lógicos combinacionales. Conocerá también los estándares comerciales en circuitos integrados digitales así como sus características de operación. Aplicará también estos conocimientos en la solución de problemas típicos de diseño digital, tales como alarmas, sensores y controladores simples.

Contenido

1. Sistemas Numéricos y Códigos Binarios	4 hrs
2. Aritmética binaria	6 hrs
3. Circuitos de Conmutación y Familias Lógicas.	9 hrs
4. Álgebra de Boole.	9 hrs
5. Técnicas de reducción de funciones lógicas.	14 hrs
6. Diseño de Circuitos Combinacionales con Circuitos Integrados MSI.	10 hrs
7. Memorias ROM, PALs, GALs	5 hrs.
Exámenes parciales	7 hrs
Total 64 hrs	

Bibliografía:**Texto principal:**

Fundamentos de sistemas digitales
T. L. Floyd.
Prentice Hall

Sistemas Digitales. Principios y Aplicaciones
Ronald J. Tocci.
Prentice Hall

Textos de Consulta:

Análisis y Diseño de Circuitos Lógicos Digitales
Víctor P. Nelson. H. Troy Nagle
Prentice Hall

Lógica digital y diseño de computadoras.
M. Morris Mano.
Prentice Hall

Diseño Digital. Principios y Prácticas
John F. Wakerly.
Prentice Hall

Manuales de circuitos integrados digitales

Programa desarrollado

- 1.- Sistemas Numéricos y Códigos Binarios 4hrs
- 1.1.- Introducción. Señales analógicas y digitales. Escalas de integración.
- 1.2.- El sistema de numeración binario.
- 1.3.- El sistema hexadecimal.
- 1.4.- Conversión binario – decimal – hexadecimal.
- 1.5.- Códigos BCD.
- 1.6.- Código de paridad.
- 1.7.- Código Gray.
- 2.- Aritmética binaria..... 6hrs
- 2.1.- Suma y resta binaria
- 2.2.- Manejo de números negativos (magnitud signada, complemento a uno y complemento a dos)
- 2.3.- Sumas y restas en el sistema de complemento a dos.
- 2.5.- Bit de signo, acarreo y sobreflujo.
- 2.5.- Multiplicación y división.
- 2.6.- Manejo de números fraccionarios (punto fijo y punto flotante).
- Primer examen parcial.....2 Hrs.**
- 3.- Circuitos de Conmutación y Familias Lógicas 9 hrs
- 3.1.- Introducción, compuertas lógicas básicas.
- 3.2.- Construcción de compuertas lógicas con dispositivos discretos (switches, relevadores, transistores, etc.)
- 3.3.- Familia TTL y subfamilias S, L, LS y F.
- 3.4.- Características eléctricas de TTL: VIL, VIH, VOL, VOH, IIL, IIH, IOL, IOH, inmunidad al ruido.
- 3.5.- Manejo de entradas y salidas: líneas en cortocircuito, líneas abiertas, Fan Out, compuertas driver.
- 3.6.- Puertas de colector abierto y AND alambrado.
- 3.7.- Puertas con tercer estado.
- 3.8.- Puertas con disparador Schmitt.
- 3.9.- Familia CMOS, PMOS y NMOS

3.10.- Otras familias (ECL, HNIL, IIL)

Segundo examen parcial.....1 Hr.

4.- Álgebra de Boole.....	9
hrs	
4.1.- Introducción (breve esbozo histórico).	
4.2.- Postulados y teoremas del álgebra booleana.	
4.3.- Funciones booleanas y tablas de verdad	
4.4.- Símbolos y compuertas lógicas	
4.5.- Simplificación de expresiones booleanas usando álgebra de Boole.	
4.6.- Definiciones: términos producto, términos suma, minterminos, maxtérminos, formas SP y PS, formas canónicas SP y PS, relación con la tabla de verdad.	
5.- Técnicas de Reducción de Funciones Lógicas.....	14
hrs	
5.2.- Diagramas de Venn de funciones lógicas.	
5.3.- Mapas de Karnaugh.	
5.4.- Simplificación de funciones usando mapas de Karnaugh. Implicantes primos e implicantes primos esenciales.	
5.5.- Condiciones sin cuidado.	
5.6.- Implementación de funciones lógicas usando compuertas AND, OR, NOT. Implementación usando sólo compuertas NAND y usando sólo compuertas NOR.	
5.7.- Ejemplos de diseño lógico.	
5.8.- Simplificación de funciones lógicas por computadora (Método de Quine Mc Kluskey)	

Tercer examen parcial.....2 Hrs.

6.- Diseño de Circuitos Combinacionales con Circuitos Integrados MSI.	10
hrs	
6.1.- Introducción	
6.2.- El circuito sumador binario. El medio sumador y el sumador completo de un bit. Sumadores en circuito integrado.	
6.3.- Multiplexores y demultiplexores/decodificadores. Principio de operación, multiplexores y demultiplexores/decodificadores en circuito integrado.	
6.4.- Implementación de funciones lógicas en base a multiplexores. Introducción de variables a la tabla de verdad y al mapa de Karnaugh.	
6.5.- Decodificadores de BCD a siete segmentos.	
6.6.- Implementación de funciones lógicas usando demultiplexores.	
7.- Memorias ROM, PALs, GALs.....	5
hrs	
7.1.- Memorias ROM	
7.2.- Memorias PROM, EPROM y EEPROM	

7.3.- Dispositivos Lógicos Programables (PLD's)

7.4.- Matriz lógica programable (PAL)

7.5.- Matriz Genérica Programable (GAL)

Cuarto examen parcial.....2 Hrs.

Metodología de enseñanza-aprendizaje:

Revisión de conceptos, análisis y solución de problemas en clase:	(X)
Lectura de material fuera de clase:	(X)
Ejercicios fuera de clase (tareas):	(X)
Investigación documental:	()
Elaboración de reportes técnicos o proyectos:	()
Prácticas de laboratorio en una materia asociada:	(X)
Visitas a la industria:	()

Metodología de evaluación:

Asistencia:	(X)
Tareas:	(X)
Elaboración de reportes técnicos o proyectos:	()
Exámenes de Academia o Departamentales	(X)

Revisaron:

M. C. José Juan Rincón Pasaye

M. C. José Antonio Camarena Ibarrola

M. I. Isidro Ignacio Lázaro Castillo

M. I. Samuel Pérez Aguilar.

Septiembre de 2004