
Nombre de la materia:	ELECTRÓNICA DIGITAL I
Clave:	CI0300-T
No. de horas/semana	4
Duración semanas:	16
Total Horas:	64
No. de créditos:	8
Prerrequisitos:	CI0100-T

Objetivo:

Después de haber tomado este curso, el alumno deberá ser capaz de aplicar la teoría de la conmutación en la resolución de problemas de análisis y diseño de sistemas lógicos combinacionales. Esto significa que aprenderá tanto la teoría básica para el análisis y diseño de circuitos lógicos combinacionales como la forma de aplicarla.

Programa Sintético.**Tiempo estimado**

1.- Sistemas Numéricos y Códigos.....	10 hrs
2.- Álgebra booleana, Funciones lógicas y minimización.....	24 hrs
3.- Familias lógicas de Circuitos Integrados (CI).....	6 hrs
4.- Circuitos lógicos MSI.....	10 hrs
5.- Dispositivos Lógicos Programables (PLD's).....	6 hrs
Exámenes parciales.....	8 hrs
Total	64 horas

Programa Desarrollado.

1. Sistemas Numéricos y Códigos.....	10 hrs
1.1. Introducción a los sistemas digitales.....	1 hr
1.1.1. Breve historia de la electrónica digital	
1.1.2. Sistemas digitales vs. Sistemas analógicos	
1.2. Sistemas numéricos.....	1 hr
1.2.1. Definición de sistema numérico	
1.2.2. Sistema decimal, binario, octal y hexadecimal.	
1.2.2.1. Notación polinomial	
1.2.2.2. Notación posicional	

1.3. Técnicas de conversión.....	2 hrs
1.3.1. Conversión de decimal a binario y viceversa.	
1.3.1.1. Sustracción de pesos	
1.3.1.2. División entre la base	
1.3.2. Conversión de binario a hexadecimal.	
1.3.2.1. Método del grupo de 4.	
1.3.3. Conversión de cualquier base a decimal.	
1.3.3.1. Método de la función polinomial.	
1.3.4. Método de divisiones sucesivas para convertir enteros decimales a cualquier base.	
1.3.5. Método de multiplicaciones sucesivas para convertir fracciones decimales a cualquier base.	
1.4. Representación de números signados.	
1.4.1. Números con magnitud y signo	
1.4.2. Complementos binarios (complemento a uno y a dos)	
1.5. Aritmética binaria.....	4 hrs
1.5.1. Adición binaria de números signados y no signados.	
1.5.1.1. Significado del sobreflujo	
1.5.2. Sustracción binaria	
1.5.2.1. Sustracción por adición del complemento a 2.	
1.5.3. Multiplicación por corrimientos y adición	
1.5.4. División por corrimientos y sustracción	
1.6. Códigos binarios.....	2 hrs
1.6.1. Decimal Codificado en Binario (BCD)	
1.6.2. Código Exceso 3 (XS3)	
1.6.3. Código Gray	
1.6.4. Código ASCII	
1.6.5. Código de 7 Segmentos	
Primer examen parcial.....	2 hrs
2. Álgebra booleana, Funciones lógicas y minimización.....	24 hrs
2.1. Postulados del álgebra booleana.....	1 hr
2.2. Representación de los postulados usando diagramas de Venn.....	1 hr
2.3. Teoremas del álgebra booleana.....	4 hrs
2.4. Funciones booleanas.....	2 hrs
2.4.1. Simplificación de funciones booleanas	
2.5. Circuitos de Conmutación.....	3 hrs
2.5.1. Tablas de verdad y símbolos gráficos para los operadores lógicos AND, OR y Complemento.	

2.5.2. Otras tablas de verdad y símbolos gráficos importantes (NOR, NAND, XOR y XNOR).

2.5.3. Análisis de circuitos de conmutación.

2.5.3.1. Método algebraico

2.5.3.2. Análisis de diagramas de tiempo

2.6. Formas algebraicas para circuitos de conmutación.....3 hrs

2.6.1. Forma de Suma de Productos (SP) y Producto de Sumas (PS).

2.6.2. Forma canónica de SP y PS.

2.6.3. Relación entre la lista de mintérminos y la tabla de verdad de una función

2.6.4. Relación entre la lista de Maxtérminos y la tabla de verdad de una función

2.6.5. Relación entre mintérminos y Maxtérminos

2.6.6. Relación entre la lista de mintérminos y la lista de Maxtérminos de una función

2.6.7. Expansión de una función a su forma canónica

2.7. Síntesis de circuitos de conmutación.....2 hrs

2.7.1. Circuitos AND-OR y NAND

2.7.2. Circuitos OR-AND y NOR

2.7.3. Forma canónica para circuitos NAND de dos niveles

2.7.4. Forma canónica para circuitos NOR de dos niveles

2.7.5. Circuitos AND-OR Inversor

2.8. Minimización de funciones de conmutación.....4 hrs

2.8.1. Mapas de Karnaugh (MK)

2.8.2. Representación de funciones booleanas en MK

2.8.3. Simplificación de funciones booleanas mediante MK

2.8.4. Condiciones sin Cuidado

2.8.5. MK con variables introducidas

2.9. Ejemplos de circuitos combinacionales.....4 hrs

2.9.1. Diseño de un semisumador binario de un bit

2.9.2. Diseño de un sumador binario completo de n bits

2.9.3. Diseño de un sustractor

2.9.4. Diseño de un comparador de 2 bits

Segundo examen parcial.....2 hrs

3. Familias lógicas de Circuitos Integrados (CI).....6 hrs

3.1. Terminología de CI

3.1.1. Escalas de integración

3.1.2. Velocidad

3.1.3. Disipación de potencia

3.1.4. Fanout

3.1.5. Costo

3.2. La familia lógica RTL**3.3. La familia lógica DTL****3.4. La familia lógica TTL**

- 3.4.1. Compuerta estándar NAND TTL
- 3.4.2. TTL Schottky, serie 74
- 3.4.3. TTL Shottky baja potencia, serie 74LS
- 3.4.4. TTL alta velocidad, serie 74H
- 3.4.5. Características eléctricas de la serie TTL
 - 3.4.5.1. Características de entrada
 - 3.4.5.2. Características de salida
- 3.4.6. Hoja de datos del fabricante
- 3.4.7. Otras características de la serie TTL
 - 3.4.7.1. Entradas no conectadas (flotantes)
 - 3.4.7.2. Conexión de entradas no usadas con resistencia elevadoras
 - 3.4.7.3. Conexión de entradas no usadas con diodos
 - 3.4.7.4. Conexión de entradas no usadas a entradas usadas
- 3.4.8. Compuertas Especiales
 - 3.4.8.1. Disparador Schmitt
 - 3.4.8.2. Compuertas de colector abierto y la conexión AND alambrada
 - 3.4.8.3. Buffers y Drivers de colector abierto
 - 3.4.8.4. Compuertas con salida de tercer estado

3.5. La familia CMOS

Tercer examen parcial.....2 hr

4. Circuitos lógicos MSI.....10 hrs**4.1. Multiplexores (Mux).....4 hrs**

- 4.1.1. Mux básico de 2 entradas
- 4.1.2. Mux de 4 entradas (SN74153)
- 4.1.3. Mux de 8 entradas (SN74151)
- 4.1.4. Implementación de funciones booleanas usando Mux

4.2. Demultiplexores/Decodificadores.....4 hrs

- 4.2.1. Decodificador de 2 a 4
- 4.2.2. Decodificador/Demux 74155
- 4.2.3. Decodificador de BCD a decimal (SN7442)
- 4.2.4. Decodificador de BCD a 7 segmentos (SN7447)
- 4.2.5. Implementación de funciones lógicas usando demultiplexores

4.3. Memorias de sólo lectura (ROM).....2 hrs

- 4.3.1. Memorias EPROM
- 4.3.2. Memorias EEPROM

5. Dispositivos Lógicos Programables (PLD's).....6 hrs

- 5.1.1. Arquitectura de los PLD's
- 5.1.2. Simbología de los PLD's
- 5.1.3. Matrices Lógicas Programables (PLA's)
- 5.1.4. Las PROM's
- 5.1.5. Dispositivos Lógicos de Matriz Programables (PAL's)
- 5.1.6. Dispositivos Lógicos de Matriz Genérica (GAL's)

Cuarto examen parcial.....2 hrs

Bibliografía.

Fundamentos de Electrónica Digital

Thomas L. Floyd
Editorial Limusa

Sistemas Digitales

Principios y aplicaciones
Ronald J. Tocci
Prentice Hall

Análisis y diseño de circuitos lógicos digitales

Victor P. Nelson, H. Troy Nagle, Bill D. Carroll, J. David Irvin
Prentice Hall Hispanoamericana

Fundamentos de diseño lógico

Charles H. Roth, Jr.
Ed. Thomson

Digital Design Essentials

Richard S. Sandige
Prentice Hall

Direcciones de Internet Interesantes:

<http://www.alldatasheet.com/>

Metodología de Enseñanza:

Revisión de conceptos, análisis y solución de problemas en clase:	(X)
Lectura de material fuera de clase	(X)
Ejercicios fuera de clase (tareas)	(X)
Investigación documental	()
Elaboración de reportes técnicos o proyectos	()

Prácticas de laboratorio en una materia asociada	(X)
Visitas a la industria	()
Exposición oral	()
Exposición audiovisual	()
Uso de paquetes de simulación en computadora	(X)

Procedimiento de Evaluación:

Asistencia	(X)
Tareas	(X)
Elaboración de reportes técnicos o proyectos	(X)
Trabajos y tareas fuera del aula	(X)
Participación en clase	(X)
Exámenes parciales	(X)
Exámenes de academia o departamentales	(X)

Propuesta presentada por:

MSI. Dionisio Buenrostro Cervantes

Propuesta revisada por:

Dr. José Juan Rincón Pasaye
M.I. Samuel Pérez Aguilar